

IMAGE PROCESSOR

Publication number: JP10042133

Publication date: 1998-02-13

Inventor: KABURAGI HIROSHI; YAMAGATA SHIGEO

Applicant: CANON KK

Classification:

- international: **B41J2/52; G06F7/58; G06T5/00; H04N1/405;**
B41J2/52; G06F7/58; G06T5/00; H04N1/405; (IPC1-7):
G06F7/58; H04N1/405; B41J2/52; G06T5/00

- European:

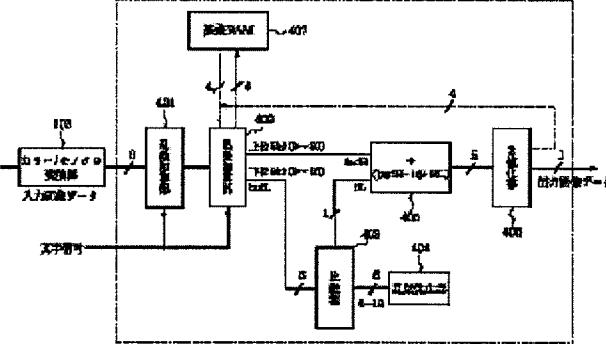
Application number: JP19960190805 19960719

Priority number(s): JP19960190805 19960719

[Report a data error here](#)

Abstract of JP10042133

PROBLEM TO BE SOLVED: To provide an image processor in which fragment gathering is performed while void or the like due to fragments is prevented by generating a random number whose maximum value is controlled at an interval of several picture elements with respect to a received video signal and random numbers with equal absolute value at a set of positive/negative or negative/positive values are added at random to the video signal at an interval of several picture elements regardless of suppressing roughness. **SOLUTION:** The unit is configured to convert 8-bit input image information into one bit and to provide an output of the result. A random number signal whose maximum value is changed depending on input image information at an interval of ' $2\alpha + 1$ ' picture elements ($\alpha > 0$) is generated. The generated random number signals at a set of positive/negative or negative/positive values are added at random to the received image information at an interval of α picture elements by a random number addition section 401. The image information obtained by the random number addition section 401 is converted into 1-bit output image data by error spread processing circuits 402, 403, 404, 405, 406, 407.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-42133

(43)公開日 平成10年(1998)2月13日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N	1/405		H 0 4 N	1/40
B 4 1 J	2/52		G 0 6 F	7/58
G 0 6 T	5/00		B 4 1 J	3/00
// G 0 6 F	7/58		G 0 6 F	15/68
				3 2 0 A

審査請求 未請求 請求項の数4 O L (全10頁)

(21)出願番号 特願平8-190805

(22)出願日 平成8年(1996)7月19日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 畑木 浩

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 山形 茂雄

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

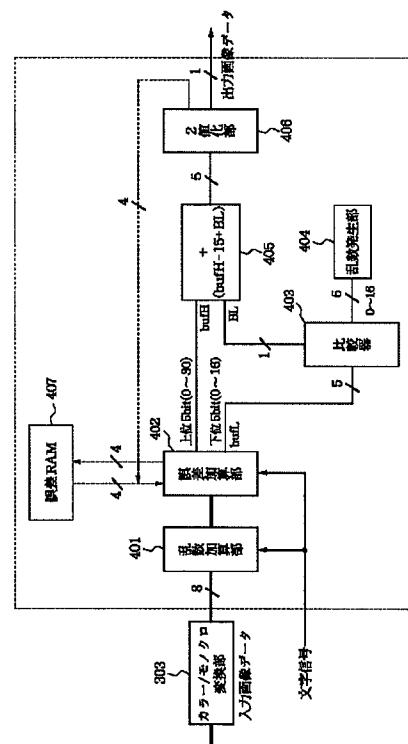
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 入力されたVideo信号値に対して数画素おきに、最大値を制御した乱数値を生成し、かつ、絶対値の等しい乱数値を無作為な正負もしくは負正の組で数画素おきにVideo信号値に加算することをがさつきを押さえるがらもはき寄せやテクスチャの問題点を改善することができる画像処理装置の提供を目的とする。

【解決手段】 8ビットの入力画像情報を1ビットに変換して出力する画像処理装置に於て、“ $2\alpha + 1$ ”画素 ($\alpha > 0$) おきの前記入力画像情報に応じて、乱数の最大値を変化させた乱数信号値を生成し、生成した乱数信号値を α 画素おきに、無作為に正負もしくは負正の組で前記入力画像情報に加算する乱数加算部401と前記乱数加算部401で得られた画像情報を誤差拡散処理回路402、403、404、405、406、407により1ビットの出力画像データに変換する。



【特許請求の範囲】

【請求項1】 m ビットの入力画像情報を n ビット ($m > n$) に変換して出力する画像処理装置に於て、
“ $2\alpha + 1$ ”画素 ($\alpha > 0$) おきの前記入力画像情報に応じて、乱数の最大値を変化させた乱数信号値を生成する乱数信号生成手段と、前記乱数信号生成手段で生成した乱数信号値を α 画素おきに、無作為に正負もしくは負正の組で前記入力画像情報を加算する乱数加算手段と、前記乱数加算手段で得られた画像情報を n ビットに変換する画像形成手段とを有することを特徴とする画像処理装置。

【請求項2】 前記画像形成手段は、画像情報 m ビットの値を任意の定数で割り、商を上位ビット信号、余りを下位ビット信号とし、下位ビットを乱数と比較して2値化して上位ビットに加算するLレベルの疑似中間調手段と、 m ビットMレベルの前記入力画像情報の信号から前記疑似中間調手段によって得られたLレベルの信号値を、 n ビットに変換する誤差拡散処理に於て発生した誤差を、 m ビットMレベルの前記入力画像情報に対して誤差補正する誤差補正手段とを有することを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記誤差補正手段は、 m ビットMレベルの前記入力画像情報の信号から前記疑似中間調手段によって得られたLレベルの信号を、 n ビットに変換する誤差拡散処理に於て発生した誤差に対し、加重係数の総和が、 $(M-1)/(L-1)$ となる加重係数で積和演算した値を m ビットMレベルの前記入力画像情報に対して誤差補正することを特徴とする請求項2記載の画像処理装置。

【請求項4】 前記画像形成手段は、画像情報 m ビットの値を任意の定数で割り、商を上位ビット信号、余りを下位ビット信号とし、下位ビットをディザ信号と比較して2値化して上位ビットに加算するLレベルの疑似中間調手段と、

m ビットMレベルの前記入力画像情報の信号から前記疑似中間調手段によって得られたLレベルの信号を、 n ビットに変換する誤差拡散処理に於て発生した誤差を、 m ビットMレベルの前記入力画像情報に対して誤差補正する誤差補正手段とを有することを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像処理装置に関し、特に1画素 m (m は2以上の整数) bit画像を m bitよりも少ないbit数の画像 ($m > n$) へ階調変換処理する画像処理装置に関する。

【0002】

【従来の技術】 中間調表現をおこなうための画像形成手

法として誤差拡散法（以後EDと呼ぶ）や平均濃度保存法（以後MDと呼ぶ）などが一般に知られている。これらは、少ない階調数を用いて面積階調表現することにより、マクロ的に中間調を表現しようとするものである。つまり、疑似中間調表現法である。これは、少ない階調数で画像形成できるために、画像データを扱うハードウェアへの負荷を低減できるといった効果がある。

【0003】

【発明が解決しようとする課題】 しかしながら、ハードウェアの簡略化及びネットワークを介すシステムを考慮して画像の階調数を減らしていくと、特に1bitの画像形成時において、図19に示したような、はき寄せやテクスチャといった問題点が発生していた。これは、ED法で生じる特有な問題点であり、黒文字の後の低濃度部でドットが打たれないとか、虫がはったような跡の模様が出るとかといった問題である。

【0004】 また、ハードウェア化に於て、ED法による n ビット化で生じた誤差を保持する為に、深さ方向数ビットで数ライン分の FIFOメモリが必要となり、コストが嵩むといった欠点があった。

【0005】 本発明は上述した従来技術の欠点を除去するものであり、入力されたVideo信号値に対して数画素おきに最大値を制御した乱数値を生成し、かつ、絶対値の等しい乱数値を無作為な正負もしくは負正の組で数画素おきにVideo信号値に加算することがさつきを押さえるがらもはき寄せやテクスチャの問題点を改善することができる画像処理装置の提供を目的とする。

【0006】

【課題を解決するための手段】 上述した目的を達成するため m ビットの入力画像情報を n ビット ($m > n$) に変換して出力する画像処理装置に於て、“ $2\alpha + 1$ ”画素 ($\alpha > 0$) おきの前記入力画像情報に応じて、乱数の最大値を変化させた乱数信号値を生成する乱数信号生成手段と、前記乱数信号生成手段で生成した乱数信号値を α 画素おきに、無作為に正負もしくは負正の組で前記入力画像情報を加算する乱数加算手段と、前記乱数加算手段で得られた画像情報を n ビットに変換する画像形成手段とを備える。

【0007】

【発明の実施の形態】 以下、図面を参照して本発明の実施の形態を説明する。

【0008】 〈全体構成〉 図1は本実施の形態における画像処理装置の全体構成を示したブロック図である。

【0009】 画像読み取り部209は、CCDセンサ202、アナログ信号処理部203等により構成され、レンズ201を介しCCDセンサ202に結像された原稿画像200の画像が、CCDセンサ202によりR (Red)、G (Green)、B (Blue) のアナログ電気信号に変換される。変換された画像情報は、アナログ信号処理部203に入力され、ここではR、G、B、

の各色毎にサンプル&ホールド、ダークレベルの補正等を行ない、そしてアナログ・デジタル変換（A/D変換）する。アナログ信号処理部203でデジタル化されたフルカラー信号は、画像処理部204に入力される。

【0010】画像処理部204では、シェーディング補正、色補正、 γ 補正等の読み取り系で必要な補正処理や、スムージング処理、エッジ強調、階調変換処理、加工等が行われ、プリンタ部205に出力される。

【0011】プリンタ部205は、レーザ等からなる露光制御部（図示せず）、画像形成部（図示せず）、転写紙の搬送制御部等により構成され、入力された画像信号により転写紙上に画像記録する。

【0012】また、CPU回路部210は、CPU206、ROM207、RAM208等により構成され、画像読み取り部209、画像処理部204、プリンタ部205等を制御し、本装置のシーケンスを統括的に制御する。

【0013】〈画像処理部の構成〉次に、画像処理部204について説明する。図2は、画像処理部204の構成ブロック図である。

【0014】図2のアナログ信号処理部203より出力されるデジタル画像信号は、シェーディング補正部301に入力される。シェーディング補正部301では、原稿を読みとるセンサーのぼらつき及び原稿照明用ランプの配光特性の補正を行っている。補正演算された画像信号は、輝度信号から、濃度データに変換するために、階調補正部302に入力され、濃度画像データを作成する。濃度データに変換された画像信号は、カラー／モノクロ変換部303に入力され、モノクロデータとして出力される。そして、カラー／モノクロ変換部303から出力されたデータは、階調変換処理部304に入力され、疑似中間調表現として誤差拡散処理がおこなわれる。尚、カラー画像信号を出力する場合には、階調補正部302からのYMCデータに対し、それぞれ階調変換処理部304における変換処理が施される。

【0015】それでは、次に本実施の形態のポイントである階調変換処理部304について図3を用いて説明する。

【0016】〈実施の形態1〉〈階調変換処理部の構成〉

図3は本実施の形態のポイントとなる階調変換処理部304の詳細なブロック図である。

【0017】同図に示した階調変換処理部304は、まずははじめに乱数加算部401で入力画像データ（8ビット256レベル）に乱数が加算される。この乱数加算部401の説明図が図4、5、6である。図6において、501、502、504はフリップフロップ、503、506は排他的論理和回路、509は乗算器、510はAND回路、505、508は乱数生成部、507は符号決定部、511は加算器である。

【0018】まず、主走査方向（X方向）毎に信号を発生するH syncとVideoクロック（VideoCK）がフリップフロップ501、502へそれぞれ入力され、図5に示したsig1とsig1'のタイミングで信号を発生する。sig1は偶数ラインで発生する信号、sig1'は奇数ラインで発生する信号をあらわしている。この図5のsig1とsig1'は、図4に示した“+，-，-，+，-，…”の部分で発生する信号に対応している。この時、本実施の形態では、1ライン目と2ライン目とで、1画素ずらすことにより、2次元的に千鳥状に信号を生成する構成となっている。排他的論理和503から出力された信号は、フリップフロップ504を介して、乱数生成部505と508へのタイミング信号として、図5のsig2とsig2'のタイミングで入力される。これは、図4の○で囲んだ左側の部分で信号を発生することを意味している。つまり、偶数ラインは、3画素飛ばしに信号を発生し、奇数ラインは、1画素ずらして3画素飛ばして信号を発生することを意味している。従って、乱数生成部1では、フリップフロップ504の信号に同期して、3画素飛ばしに0から31の乱数を生成する。また、508から出力された乱数値は、乗算器509で符号決定部507からの信号と演算がおこなわれる。一方、乱数発生部2では、乱数発生部1と同様にフリップフロップ504の信号に同期して、3画素飛ばしに0から1の乱数値を生成する構成となっている。505の信号値は、排他的論理和回路506で504からの信号と論理演算された後、符号決定部507へ入力される。

【0019】この507では、506からの信号が“1”的ときには、“-1”を出力し、“0”的ときには“1”を出力する構成となっている。以上述べた構成により、乱数加算部401では、符号決定部507と乱数生成部508からの出力信号を509で演算することにより、図4に示したような、偶数ラインと奇数ラインとで1画素ずらした1画素飛ばしの千鳥状に乱数値を正負もしくは負正の組で発生させることができる。510では、文字信号が入力されないときのみ、509から得られる乱数値を503からの信号に応じて511でVideo信号と加算される構成となっている。つまり、Video信号が文字部ということをあらわす文字信号が入力された場合は、乱数値は加算されず、Video信号が文字部ではないときのみ乱数が1画素飛ばしの千鳥状にVideo信号に加算される構成となっている。

【0020】この様に、1画素飛ばしで、正負（負正）の乱数値を加算する構成は、乱数を用いる画素が少ないため、ざらつきを抑えることができる。

【0021】尚、乱数発生部505、508は、図7に示したようなm系列のシフトレジスタ符号系列発生器を用いた。これは、構成するシフトレジスタの段数をNとすると $2^N - 1$ を周期とする疑似乱数を簡単なハードウ

エアで容易に発生できる。本構成では、A3原稿を400d p iで処理をしても周期性が現れないようする為に25段の1bitシフトレジスタにより構成した。

【0022】本乱数発生器は、初期化でp[i]:(0≤i≤25)のレジスタに“0”を書き込み、p[12]のレジスタのみに“1”を設定する。そして、乱数值を出力する前に、毎回

$$p[0] = ((p[25] \wedge p[24]) \wedge p[23]) \wedge p[22]) \& 1$$

の演算をおこない、

$$\text{乱数} = p[17] * 16 + p[18] * 8 + p[19] * 4 + p[20] * 2 + p[21]$$

により、0~31の乱数值を出力する構成としている。

0~16までの乱数值を出力する場合は、十分長い乱数值をとった後、演算する以下の構成をとっている。

$$\text{【0023】乱数} = (p[16] * 32 + p[17] * 16 + p[18] * 8 + p[19] * 4 + p[20] * 2 + p[21] * 16) / 63$$

【0024】図3にもどり説明を続ける。乱数加算部401から出力された信号は、2値化部406と誤差RAM407からの補正信号を用いて、誤差加算部402で濃度補正される。誤差加算部402の詳細を図8、9に示した。図9において、706、712、713、714、715、716、721、726、はラッチ回路、707、708、709、710、711、722、723、は掛け算器、717、718、719、720、724、725、702、705は加算器及び減算器、701は定数の“255”を加算する定数加算器、703、704は演算器である。

【0025】まず、誤差RAM407と2値化部406からの信号をラッチ706及び721へ入力して集積誤差を求めた後、701からの信号値と702で減算処理をおこなう。この701からの信号は、負の値をなくす為に、入力Video信号に“+255”的演算をおこなっている。つまり、これにより、Video信号の振幅は、0から510の間になる。ところで、集積誤差を求める707、708、709、710、711の掛け算器では、図8に示した「0、3、4、3、1」の係数を用いている。また、722、723、の掛け算器では、同様に図8に示した「4、2」の係数を用いている。この係数は、すべて加算すると17になることを特徴としている。つまり、加重係数の総和が17になる。

【0026】702から出力された信号は、演算器703で定数17で割る演算がおこなわれ、その結果(商:0~30)を上位5ビットbufHとして、また、定数17で割った余り0~16を下位5ビットbufLとして誤差加算部402から出力する構成となっている。ここで、17で割る演算と同様な処理を同図703に示してある。つまり、y=INT(x/16*241/256)は、y=x/17の演算と同様な処理が可能のこと

を示している。

【0027】本構成の特徴は、演算部703に於て入力データを予め17で割ると、商bufHが0~30になる為、加算部405で“bufH-15”的演算をした結果が、絶対値で15(L(16)レベル)になり、255((M-1)レベル)÷15((L-1)レベル)=17の演算で求められる17の値に誤差拡散係数の総和をあわせてある。このような構成にすることにより、集積誤差を求める演算部での割り算が省略できるだけでなく、演算部703で入力信号のビット数を減らすことにより、図3に示した誤差RAM407のメモリ量を減らすことが可能となる。もちろん、Video信号の濃度が保存されるのはいうまでもない。

【0028】尚、図示はしていないが、誤差加算部402へ文字信号が入力された場合、図8に示したような誤差拡散係数を切り換えるような構成となっている。つまり、本実施の形態では、文字信号が入力された場合は、誤差拡散係数がほぼどれも同じ値になっており、係数の総和が17になっているマスクを用いることを特徴とする。

【0029】図3にもどり説明を続ける。誤差加算402から出力された下位5ビットの信号bufLは、比較器403に入力され、乱数発生部404からの信号(0~16)と比較される。もし、bufLの信号値の方が、乱数発生部404からの信号より大きい場合は、比較器403から“1”的BL信号を発生させ、逆に、小さい場合は、“0”的BL信号を発生する構成となっている。尚、乱数発生部404のハード構成は、図7に示したものと同様である為、ここでは、説明を省略する。

【0030】405の加算部では、誤差加算部402の上位5ビットのbufH信号と比較器403のBL信号が加算され、さらに定数15で減算した結果を、2値化部406へ出力する。ここで、定数15を引くのは、誤差加算部402で定数255を加算した為、255/17=15演算によって得られた定数15を引いている。また、255/17の17という値は、誤差加算部402の内部の図7の演算部703で用いている“÷17”から得られたものである。

【0031】2値化部406では、しきい値0より、大きいか小さいかのみの判断をおこなっている。例えば、もし、しきい値0より、入力データが大きい場合は、“1”を出力して、発生する量子化誤差4ビットをメモリにそのまま保持する。この時の量子化誤差は、“入力データ-15”で演算される。また、しきい値0より、入力データ値が小さい場合は、0を出力し、同様に発生する量子化誤差4ビットをメモリにそのまま保持する構成となっている。この時の量子化誤差は、“入力データ-0”で演算される。この構成でのポイントは、ビットを減らして演算した誤差値をそのままメモリーに保持し、階調変換部の多値信号を扱う冒頭部分の誤差加算部

402に集積誤差演算をした補正信号値をフィードバックされることである。

【0032】以上説明してきたような処理をおこなった信号値は、Video信号として画像処理部304から出力され、プリンター部205から出力される構成となっている。

【0033】ところで、実施の形態1に於て、図3の比較器403は、誤差加算部402からの信号bufLと乱数発生部404との信号を比較して2値化していたが、乱数発生部404の回路を図10に示したようなディザ発生回路801に変えることも同様な処理が可能なことはいうまでもない。すなわち、これは、0~16までのパターンをディザ発生回路で発生させて、誤差加算部402のbufL信号と比較して2値化することになる。

【0034】この様に本実施の形態によれば、入力されたVideo信号値に対して数画素おきに最大値を制御した乱数値を生成し、かつ、絶対値の等しい乱数値を無作為（ランダム）な正負もしくは負正の組で数画素おきにVideo信号値に加算することでがざつきを押さえるがらもはき寄せやテクスチャの問題点を改善することができる。

【0035】更に、従来の誤差拡散法では、量子化で発生した誤差を保持しておくために、十分なメモリが必要でありコストが高かったが、本実施の形態の構成では、まず、入力されたVideo信号を任意の定数で割り、商を上位ビット信号、余りを下位ビット信号とし、下位ビット乱数もしくはディザ信号と比較して2値化して上位ビットに加算するLレベルの疑似中間調処理をおこなった後、そのLレベルの疑似中間調信号を誤差拡散処理して発生した誤差を、入力されたVideo信号に対して隣接する画素の集積誤差として誤差補正することで、誤差を保持するメモリのビット数を減らしコスト削減を可能とした。

【0036】尚、本実施の形態では3画素おきに乱数を発生させ1画素おきに正負を反転させているが、これは一般的には $2\alpha + 1$ 画素 ($\alpha > 0$ 整数) おきに乱数を発生し、 α 画素おきに正負を反転させると記述できる。

【0037】〈実施の形態2〉以下、本発明にかかる実施の形態2の画像処理装置を説明する。なお、実施の形態2において、実施の形態1と同様の構成については、同一符号を付して、その詳細説明を省略する。

【0038】図11は、実施の形態2の階調変換処理部304の詳細なブロック図である。同図において、実施の形態1と異なる点は、乱数加算部901の部分である。この901の詳細を説明したものが、図12~15である。

【0039】図12~15において、“+、-”の記号は、乱数を加算する画素をあらわしている。つまり、“+”の記号の所では正の乱数値を加算し、“-”の記

号の所では負の乱数値を加算することをあらわしている。このときの、ポイントは、実施の形態1と同様に○で囲んだ組で絶対値が等しい乱数になるように制御して、Video信号に加算しているということである。つまり、ランダムに正負もしくは負正の組でVideo信号に乱数値を加算していることを特徴としている。

【0040】また、実施の形態1に示した図4のような千鳥状の乱数加算のみならず、本実施の形態2では、図12、14、15のような2画素とばしや、3画素とばしのパターンで乱数を加算することでも、実施の形態1と同様な効果を得られることを特徴としている。本実施の形態では、Video信号に乱数を加算する画素を減らすことにより、このざらつきを低減させている。

【0041】一方、ハードウェアの低減のために、図13に示したような、正負正負…、もしくは、負正負正…と乱数で組合せを切り換える処理を省略して、規則正しく、乱数を付加する構成も可能である。

【0042】図12~15のハード構成については、図6に示した実施の形態に示したものと同様の考え方で構成できる為、ここでは説明を省略する。

【0043】以上説明した処理をおこなった信号値は、実施の形態1と同様な処理をおこなって、1bitのVideo信号として画像処理部304から出力され、プリンター部205から出力される構成となっている。

【0044】この様に実施の形態2によれば、実施の形態1のように乱数を加算する画素が千鳥状の一松状のみならず、図15に示した2画素飛ばしや図14に示した3画素飛ばしの状態で乱数を加算することで、ざらつきを目立たせづに、はき寄せの問題や疑似輪郭の問題を解決できる。

【0045】〈実施の形態3〉以下、本発明にかかる実施の形態3の画像処理装置を説明する。なお、実施の形態3において、実施の形態1と同様の構成については、同一符号を付して、その詳細な説明を省略する。

【0046】図16は、実施の形態3の階調変換処理部のブロック図である。同図において、実施の形態1、2と異なる点は、誤差加算部1101の部分である。この1101を詳細に説明したものが図17、18である。

【0047】図18(b)で実施の形態と異なる点は、定数17での割り算が定数16の割り算になっていることである。つまり、演算器1201、1202が単なるビットシフトで構成できるようになっている。本構成によると、複雑な演算が省略できるので、ハードウェアを簡略化できる。

【0048】本実施の形態3のように、演算部1201においてビットシフトで構成できる定数16の割り算にすると、図16の誤差加算部1101から出力される上位ビットbufHは、0~31の5ビット、下位ビットbufLは、0~15の4ビットになることになる。この場合、比較器403における下位ビットの2値化で、

B L信号値が“1”的場合、bufHは32になる可能性がある為、演算器1102で定数16を引いても、実際にはbufHは絶対値で0～16（L(17)レベル）の数になる。このとき、 $255((M-1)\text{ レベル}) \div 16 ((L-1)\text{ レベル}) = 15.9375 \rightarrow 16$ の演算で求められる16の値に誤差拡散係数の総和を合わせてある。つまり、加重係数の総和が16である。

【0049】ところで、演算器1102で減算する定数16は、 $255 \div 16 = 15.935 \rightarrow 16$ の演算で求められた値である。

【0050】15.9375を16にした結果、集積誤差を求める演算部での割り算が省略できるだけでなく、ハードウェアが簡略化でき、かつ、演算部1201で入力信号のビット数を減らせ、誤差RAM407のメモリ量を減らすことが可能となる。

【0051】以上説明した処理をおこなった信号値は、実施の形態1と同様な処理をおこなって、1bitのVi deo信号として画像処理部304から出力され、プリンタ部205から出力される構成となっている。

【0052】実施の形態3は、実施の形態1と比較して、演算部1201のハード構成がビットシフトのみで可能なので、ハードウェアが簡略化できるというメリットがある。

【0053】実施の形態1、2、3については、すべて2値化について述べてきた。つまり、図3、10、11、16の406において2値化を行なっていた。しかし、本発明は、2値化に限定するものではなく、n（nは2より大きい整数）値化処理においても同様な処理が適用可能であることはいうまでもない。

【0054】また、本実施の形態は、誤差拡散法を用いた処理のみに限定するものではなく、2値化部をディザ処理やスクリーン処理などに変更しても、同様な効果が得られることはいうまでもない。

【0055】一方、実施の形態では上位ビットと下位ビットを分離した後に2値化する構成について述べたが、本発明はこの構成に限定するものではなく、上位ビットと下位ビットに分離せずに単純にn（n≥2の整数）値化する構成についても、本発明の乱数の付加方法が適用可能である。

【0056】さらに、誤差加算部402、1101において、上位ビットbufHを5ビットとした例を述べたが、本発明は、これに限定するものではなく、上位ビットbufHを3ビットや4ビットにすることも可能である。

【0057】また乱数加算部は以下の3つの構成でも同様効果が得られる。

【0058】（1）無作為に（乱数によって）符号を正負もしくは負正の組で切り換えた一定値を、入力画像信号値に応じて振幅制御して入力画像信号に対して付加する。

【0059】（2）入力画像信号値に応じて振幅制御した乱数値を、符号を正負と反転させながら入力画像信号に対して一定周期で付加する。

【0060】（3）無作為に（乱数によって）符号を正負もしくは負正の組で切り換えた乱数値を、入力画像信号値に応じて振幅制御して入力画像信号に対して付加する。

【0061】以上本実施の形態1、2、3では、単色の処理についてのみ述べてきたが、カラー画像についても同様な処理が適用可能である。そのとき、各色に対して、乱数の付加量や付加周期などを変えることにより、ざらつき感をより低減させることができる。

【0062】また、任意の色に付加情報を入れる場合、本実施の形態の構成で付加する乱数信号値により、その付加情報が乱れないように、付加情報を入れる色に対しては、乱数を付加しない構成にしても、他の色に乱数信号値を付加することにより同様な効果が得られる。

【0063】

【発明の効果】以上説明した如く本発明によれば、入力されたVi deo信号値に対して数画素おきに最大値を制御した乱数値を生成し、かつ、絶対値の等しい乱数値を無作為な正負もしくは負正の組で数画素おきにVi deo信号値に加算することでざらつきを押さえるがらもはき寄せやテクスチャの問題点を改善することができる。

【図面の簡単な説明】

【図1】画像処理装置全体の構成を示したブロック図。

【図2】画像処理部の構成を示したブロック図。

【図3】階調変換処理部の構成を示したブロック図。

【図4】乱数加算部の処理を説明するための図。

【図5】乱数加算部で用いられる信号のタイミングを示した図。

【図6】乱数加算部の構成を示したブロック図。

【図7】乱数生成部の構成を示したブロック図。

【図8】誤差加算部で用いられる誤差拡散係数を示した図。

【図9】誤差加算部の構成を示したブロック図。

【図10】階調変換処理部の他の構成を示したブロック図。

【図11】実施の形態2における階調変換処理部の構成を示したブロック図。

【図12】乱数加算部における処理を説明するための図。

【図13】乱数加算部における処理を説明するための図。

【図14】乱数加算部における処理を説明するための図。

【図15】乱数加算部における処理を説明するための図。

【図16】実施の形態3における階調変換処理部の構成

を示したブロック図。

【図17】誤差加算部で用いられる誤差拡散係数を示した図。

【図18】誤差加算部の構成を示したブロック図。

【図19】従来の問題点を説明するための図。

【符号の説明】

401 亂数加算部

402 誤差加算部

403 比較器

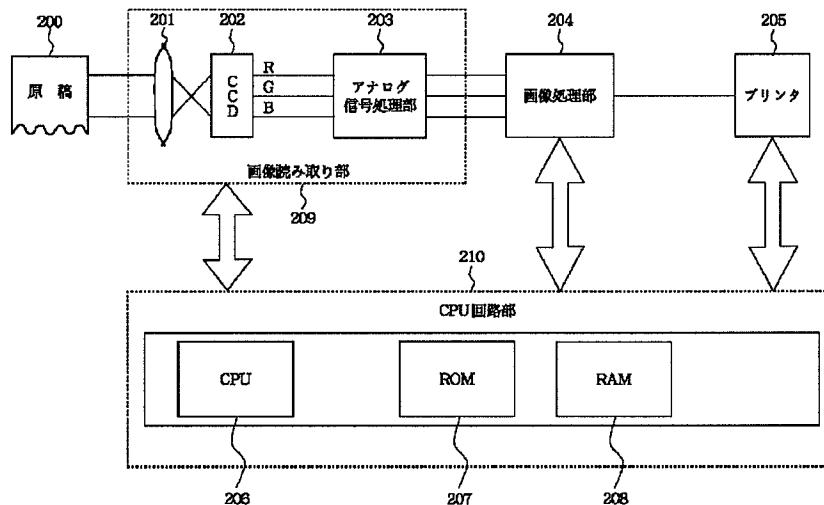
404 乱数発生部

405 加算器

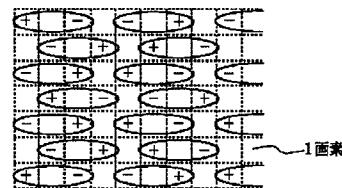
406 2値化部

407 誤差RAM

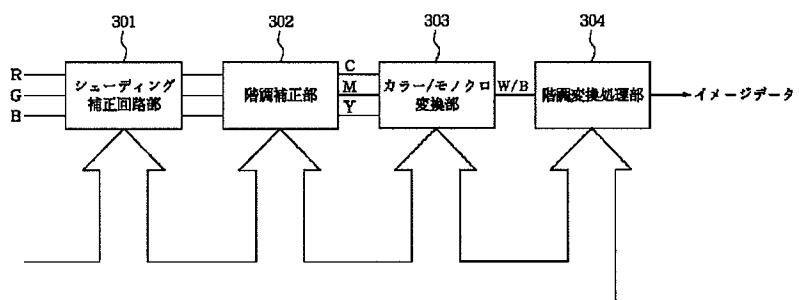
【図1】



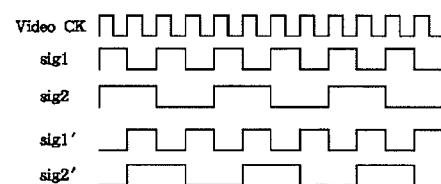
【図4】



【図2】

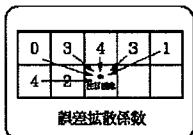


【図5】

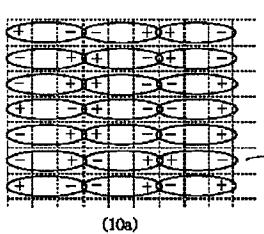


【図17】

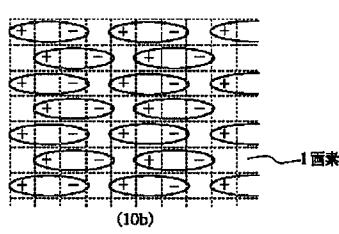
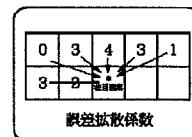
【図8】



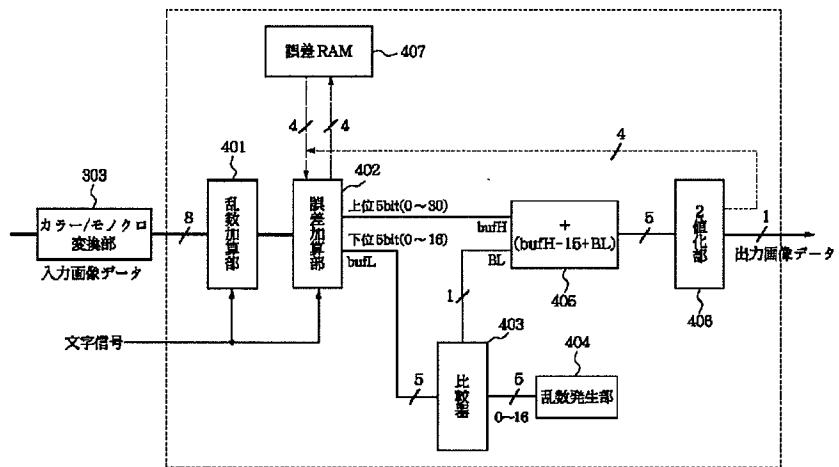
【図12】



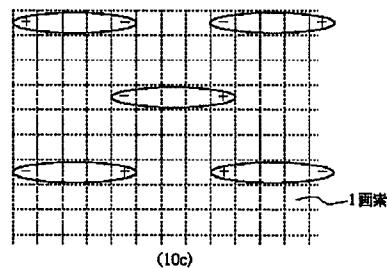
【図13】



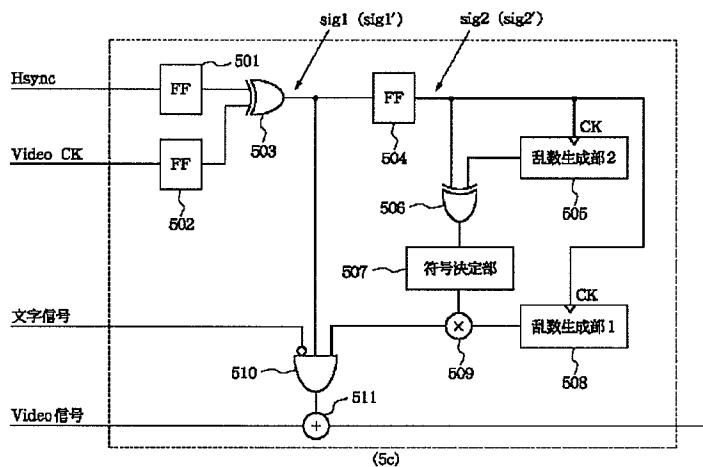
【図3】



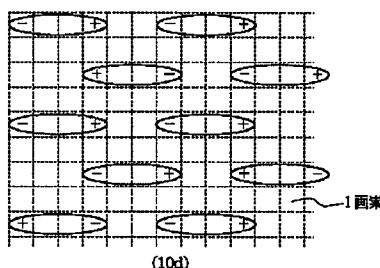
【図14】



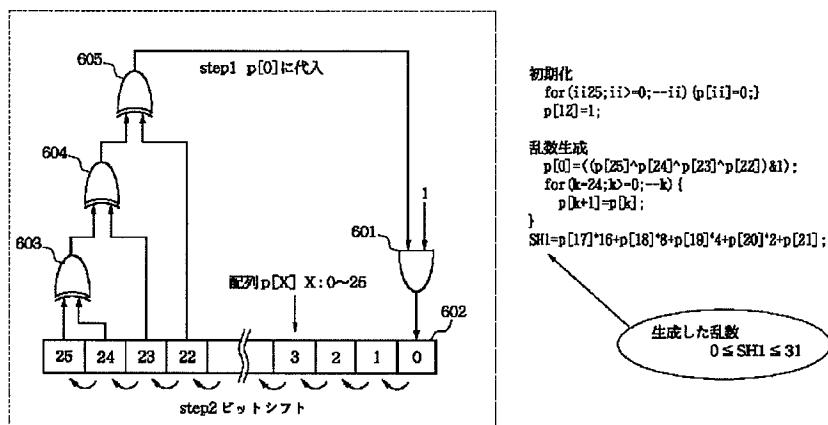
【図6】



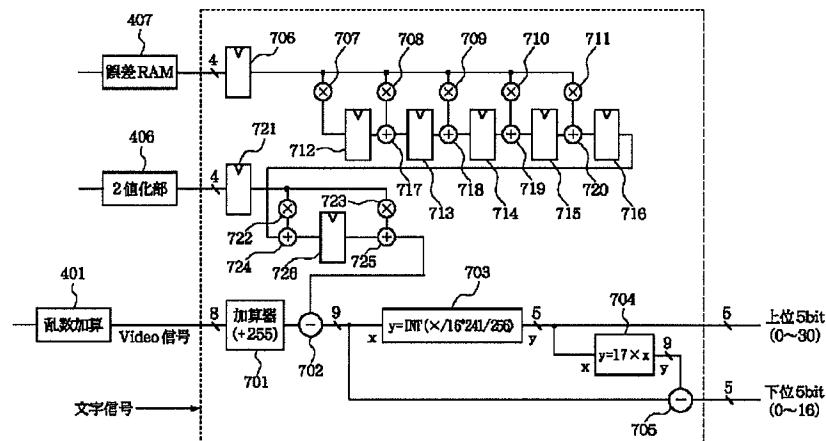
【図15】



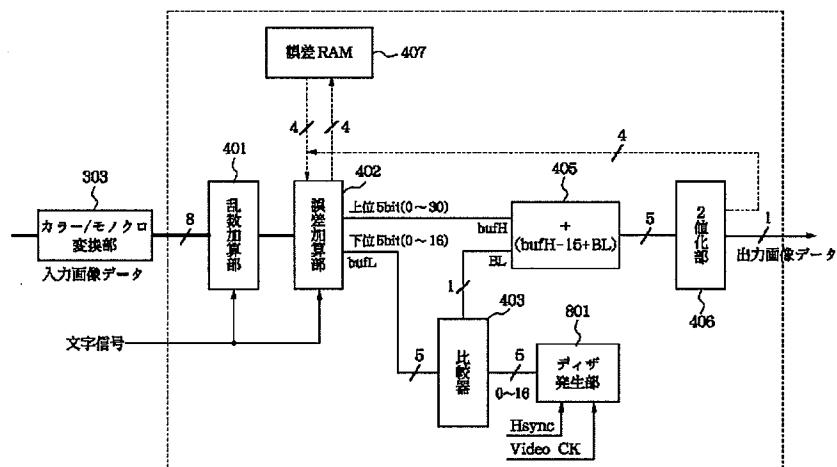
【図7】



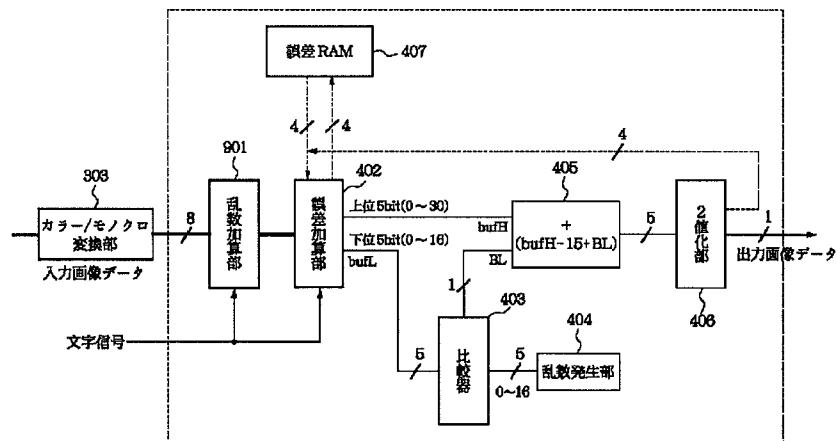
【図9】



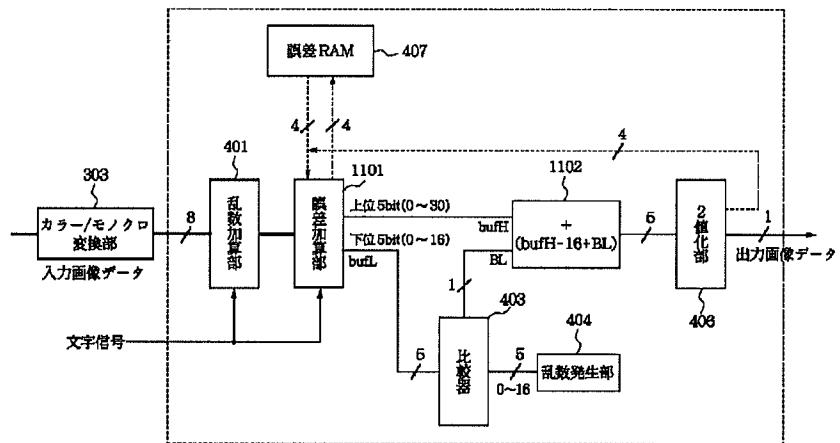
【図10】



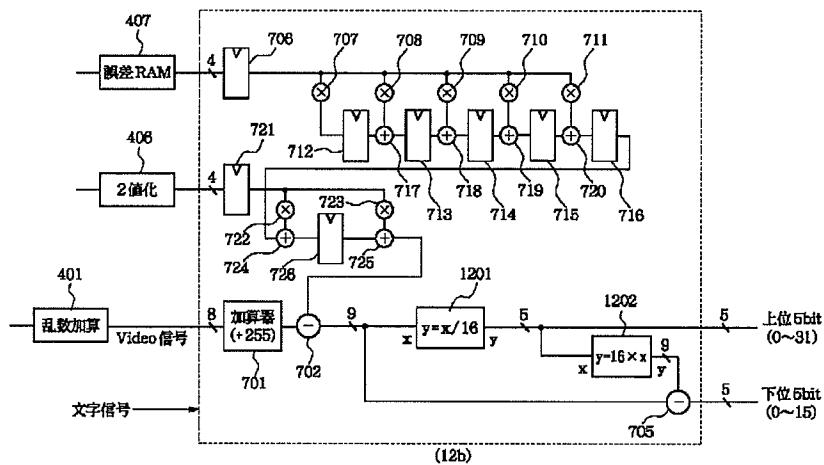
【図11】



【図16】



【図18】



【図19】

